

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-050131

(43)Date of publication of application : 20.02.1990

(51)Int.Cl.

G02F 1/136  
H01L 27/12  
H01L 29/784

(21)Application number : 63-199832

(71)Applicant : HITACHI LTD

(22)Date of filing : 12.08.1988

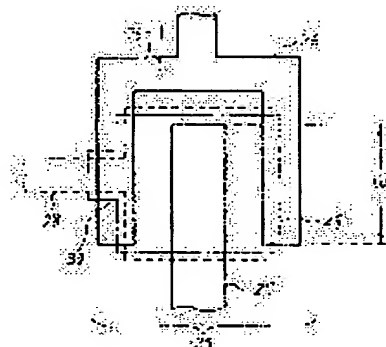
(72)Inventor : KOIKE NORIO  
TSUTSUI KEN  
YAMAMOTO HIDEAKI  
KANEKO YOSHIYUKI  
TANAKA YASUO  
MATSUMARU HARUO  
TSUKADA TOSHIHISA

## (54) THIN FILM TRANSISTOR CIRCUIT

## (57)Abstract:

PURPOSE: To improve the response speed and the degree of integration by leading an input wiring area to the gate of a transistor (TR) across the drain area or source area of the TR.

CONSTITUTION: The gate of the thin film TR and input wiring connected to the gate overlap with the areas of the drain 26 and sources 27 and the part overlapping with the area of the drain 26 and the part overlapping with the area of the source 27 are arranged differing in area. namely, the layout of the area of the input wiring is determined so that the wiring crosses one of the areas of the drain 26 and source 27 or the area of this input wiring overlap with the area of the drain 26 or source 27 across an amorphous semiconductor thin film layer. Consequently, the response speed and the degree of integration of the electronic circuit are improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-50131

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)2月20日

G 02 F 1/136  
H 01 L 27/12

5 0 0

A

7370-2H  
7514-5F  
8624-5F

H 01 L 29/78

3 1 1

A※

審査請求 未請求 請求項の数 8 (全10頁)

⑮ 発明の名称 薄膜トランジスタ回路

⑯ 特 願 昭63-199832

⑰ 出 願 昭63(1988)8月12日

⑱ 発 明 者 小 池 紀 雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 筒 井 謙 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 山 本 英 明 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 発 明 者 金 子 好 之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

薄膜トランジスタ回路

2. 特許請求の範囲

1. 非品質半導体を用いた薄膜トランジスタ回路において、上記回路を構成する所定の薄膜トランジスタへの入力配線領域が上記トランジスタのドレイン領域およびソース領域の一方を横切つて上記トランジスタのゲートに入力されることを特徴とする薄膜トランジスタ回路。

2. 請求項1において、上記入力配線領域と上記ドレイン領域および上記ソース領域の一方とが、上記非品質半導体から成る薄膜層を介在して重畳することを特徴とする薄膜トランジスタ回路。

3. 非品質半導体を用いた薄膜トランジスタ回路において、ソース領域およびドレイン領域の一方のうちの少なくとも一部を囲むようにソース領域およびドレイン領域の他方を設け、上記ソース領域およびドレイン領域のうち領域面積の大きい領域を交流接地側端子とすることを特徴

とする薄膜トランジスタ回路。

4. 非品質半導体を用いた薄膜トランジスタ回路

において、ソース領域およびドレイン領域の一方につながる配線とゲート領域につながる配線を、上記2つの配線の間に介在する絶縁膜の一部領域に、コンタクト穴を形成することにより、上記ソース領域およびドレイン領域の一方につながる配線とゲート領域につながる配線とを電氣的に接続することを特徴とする薄膜トランジスタ回路。

5. 非品質半導体を用いた薄膜トランジスタ回路

において、上記回路を構成する所定の薄膜トランジスタのゲートおよび上記ゲートに接続される入力配線の領域が、上記薄膜トランジスタのドレインおよびソースの各々の領域と重畳部分を有し、上記ドレインの領域との重畳部分とソースの領域との重畳部分はその面積が異なることを特徴とする薄膜トランジスタ回路。

6. 請求項5において、上記ドレインの領域との重畳部分の方が上記ソースの領域との重畳部分

## 特開平2-50131 (2)

よりも面積が大きいことを特徴とする薄膜トランジスタ回路。

7. 請求項5において、上記ソースの領域との重畳部分の方が上記ドレインの領域との重畳部分よりも面積が大きいことを特徴とする薄膜トランジスタ回路。

8. 非晶質半導体を用いた薄膜トランジスタ回路において、上記回路を構成する所定の薄膜トランジスタのゲートに接続される配線が、上記薄膜トランジスタのゲートの領域の長手方向に対してほぼ直交する方向から上記ゲートに接続されることを特徴とする薄膜トランジスタ回路。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は非晶質半導体を能動層に用いた薄膜トランジスタにより構成した非晶質半導体薄膜トランジスタ回路に関するものである。

## 〔従来の技術〕

非晶質或は多結晶半導体材料薄膜を用いてトランジスタを形成する薄膜トランジスタ（以下TFT

ート線）の一端に設けたリード端子12（または13）を接続している。

第2図（b）は1画面（第2図（a）において14で示した領域）を構成するTFT等の平面パターンの一例を示したものである。6'はTFT4のドレインDを兼ねた信号配線パターン、7'はTFTのゲートを兼ねたゲート配線パターン、15はTFTのソースSを形成するパターン、16はTFTの能動層を形成する非晶質半導体（例えば非晶質Si:H）のパターンである。また17は液晶に電圧（信号線から供給する）を印加するための透明電極（例えばITO）のパターンであり、本パターンはソース15に電気的に接続されている。

TFTは単結晶半導体に比べて数十 $\mu\text{m}$ という大面積に製作できるため液晶テレビの他にもプリンタ等幅広い用途への応用が期待されている。

## 〔発明が解決しようとする課題〕

しかし、TFTの現時点の用途は前述の様に移動度が小さいことも手伝って前述のマトリックス

（Thin Film Transistor）と略称する）は、結晶半導体を用いてトランジスタに比べて大面積にわたって均一に製作することができる。したがってTFTは、各種の液晶表示装置や液晶テレビジョンの構成要素として近年盛んに用いられている。第2図に液晶テレビの主体である液晶表示パネルの一例を示す。第2図（a）において、1は表示領域、2は水平駆動回路、3は垂直駆動回路であり、表示領域1は水平、垂直方向にマトリクス状に配列したTFTスイッチ4、液晶5、信号線6およびゲート選択線7により構成されている。現行のTFTの移動度は $0.5\text{ cm}^2/\text{V}\cdot\text{sec}$ と小さく（Si集積回路で一般に用いられる単結晶ウェーハの約 $1/1000$ ）、速度および駆動能力が小さいので、信号線およびゲート線の駆動は単結晶半導体チップ等で構成した駆動回路2、3によつて行う。8および9は各々駆動回路2および3を電気的に接続する導電性の物質であり、8（または9）は駆動回路2（または3）内に設けたリード端子10（または11）と信号線（またはゲ

スイッチに使う程度の単純な利用にとどまっている。液晶テレビについていえば、将来、低価格化、信頼性の向上、軽量化等を図つてゆくためには走査回路もTFTで構成し、接続配線（8、9）をくしてゆくことが大切な課題となる。さらに、TFTを液晶テレビ以外の分野に応用してゆくためにはTFTで構成した論理回路、メモリ、駆動回路等を開発することが重要な課題となる。発明者らはTFT回路の一例として、液晶表示用の駆動回路を表示パネルと同一基板上にTFTを用いて集積化する検討を行った。しかし乍ら、TFTの移動度が小さいこと等が原因となり、集積度が低く回路の占有面積（レイアウト面積）が大きくなる、あるいは必要な速度が得られないこと等が判明した。

本発明の目的は上記の課題を達成することにある、集積密度が高く応答速度の速いTFT電子回路、特にTFT電子回路の平面レイアウト構成を提供することにある。

## 〔課題を解決するための手段〕

## 特開平2-50131 (3)

上記本発明の目的は、TFTを用いた回路において、(1) 上記TFTのゲートおよび上記ゲートに接続される入力配線の領域が、ドレインおよびソースの領域と各々重畳部分を有し、上記ドレインの領域との重畳部分とソースの領域との重畳部分はその面積が異なるような配置とすることにより達成される。より具体的な手段の開示としては、ドレインおよびソースの領域の一方を横切る様に入力配線の領域をレイアウトし、あるいはさらにこの入力配線の領域がドレインの領域およびソースの領域の一方と非品質半導体薄膜層を界して重畳するようにレイアウトすることにより達成される。

(2) また、交流接地側につながるドレインおよびソース領域のうちの一方の領域を面積の大きい凹形状とし、TFTゲートを通してドレインおよびソース領域のうちの他方の領域を面積の小さい凸形状とすること。

さらに(3) ゲート絶縁膜下にあるゲート電極配線をコンタクト穴を介してゲート絶縁膜面に出し、

ソースあるいはドレイン領域とコンタクトをとることのいずれかにより達成される。

## 〔作用〕

上述の構成により本発明のTFT回路においては、無駄な面積の削減、寄生容量および抵抗の低減、 $g_m$ の拡大を図ることができる。したがって、TFTの易動度の向上が望めない場合でも、所望の応答速度を実現することが可能となり、TFT回路の実用性又は応用分野を広げることができる。

## 〔実施例〕

以下、本発明を実施例を用いて詳細に説明する。第1図は本発明のTFT電子回路の平面レイアウト構成を示した図である。第1図において、18はTFT電子回路を構成する本発明のTFTである。19はTFTを構成する例えばドレイン領域の平面パターン、20は例えばソース領域を形成する平面パターン、21はゲートおよびゲートへの入力配線の領域を形成する平面パターン、また22は絶縁層を形成する非品質半導体パターンである。

第7図(a)および(b)は従来構成法によりレイアウトしたTFTの平面構成を示しており、同図において21-1、21-2はゲート領域およびゲート領域への配線を示す平面パターンを示している。従来法によるゲートおよび入力配線のパターン21-1(または21-2)は第1図に示した本発明のパターンと異なり、パターン21-1(または21-2)はドレイン領域19やソース領域20と交差していない(ただしゲートの領域はソースおよびドレインの領域と等しい面積の重畳部分を有する。)。このような場合、互いのパターンが交差するのを回避するようにレイアウトしてあるので2つのパターン(ゲートとドレイン、或いはゲートとソース)が短絡するという問題の発生は抑えることができる。しかし乍ら、ゲート配線の迂回によってゲート配線の寸法はLだけ長くなる。先にも述べたようにTFTの易動度は低いので、回路に要求される所望の $g_m$ (或は電流)を得ようとするときTFTのチャンネル幅 $w$ は数千 $\mu m$ から場合によっては数万 $\mu m$ に及ぶ。

この結果、迂回の寸法は通常の単結晶半導体集積回路から見ると極めて長くなり配線領域に寄生する抵抗を大きく増大させる。ここで、ゲート配線にはTFTの特性及び製作上の制約から一般にCrやTa等の材料が用いられる。これらの材料は単結晶半導体集積回路で用いられるAlに比べると導電率は低く、さらに材料の膜厚も0.1~0.2 $\mu m$ と薄い(単結晶半導体回路におけるAlの一般的な膜厚は0.6~1.0 $\mu m$ )。したがって、迂回配線に寄生する抵抗は単結晶半導体集積回路に比べると3~4桁も大きくなる。また配線に伴って発生する無駄な面積も大きくなり、これがTFT電子回路の集積密度を落す要因になっている(配線により消費する面積は配線幅 $W$ とすると $L \times W$ で与えられる)。

したがって、ゲート配線の迂回はTFT回路にとってゆゆしき問題である。

本発明においては、ゲートへの配線は迂回せずドレイン或はソース領域を横切つて直接ゲート領域に入るため、配線抵抗および無駄な配線面積を

## 特開平2-50131 (4)

殆んど0に抑えることができる。配線面積の削減はTFTのチャンネル幅(W)が大きいだけに集積密度を著しく向上させることができる。例えばWを10000 $\mu\text{m}$ 、配線幅Lを30 $\mu\text{m}$ 、配線の存在のため左右に設ける間幅を各々10 $\mu\text{m}$ と仮定すると削減できる面積は500000 $\mu\text{m}^2$ に及ぶ。この面積の中に回路の構成要素であるgmが中位、或は小さくてよいTFTを複数にわたって配列することができるので数倍の集積密度向上を期待することができる。反面、本発明においてはゲート配線とドレイン又はソース領域が交差するため、この交差部でゲート配線の作る凸部段差が原因となり、ドレインまたはソースがゲート配線と短絡する危険性が高い。この短絡の発生を防止するため、本発明においては非品質半導体パターン22の一部を拡張して交差部に相当する部分に非品質半導体パターン23を形成する様に工夫されている。本パターンはゲートパターン(例えば、より始めの工程で作る場合には下層になる)とドレインまたはソースパターン(例えばより後の工程で

作る場合には上層になる)の間に介在させるようにする(例えば本パターンをゲート製作工程とドレイン製作工程の間で製作する)。この結果、本パターン(23)はゲート配線とドレイン(またはソース)間のパツファ層となり、交差部における短絡の発生を防止することが可能となる。ここで、非品質半導体層の抵抗はゲートなど電界の加わる領域以外の部分では一般に $10^{11}\Omega$ と大きく本パターンはゲート配線とドレイン(またはソース)の間の絶縁層としての役割を果たす。

第3図は第1図で説明した本発明のTFT平面構成を種々の回路に応用した場合の平面構成を示している。第3図(a)は共通のドレイン、ソースを持つTFTに複数個( $n \geq 2$ )のゲートを入力する場合の実施例を示している(ここでは $n=2$ の場合を示した)。21'-1および21'-2は配線を含めたゲート領域を形成するパターン、22'-1、22'-2は飽動領域を形成する非品質半導体パターン、23'-1および23'-2は交差部に設けた非品質半導体パターン、19

はドレイン(またはソース)パターン、20はソース(またはドレイン)パターンである。ここでは非品質半導体パターンを2つの領域22'-1、22'-2に分離したが一体化しても支障はない。

第3図(b)は複数個( $n \geq 2$ )のTFTを直列に接続したAND回路を示している。ここでは2入力( $n=2$ )の場合を示した。19はドレイン(またはソース)パターン、24はTFT18-1のソース(またはドレイン)およびTFT18-2のドレイン(またはソース)を形成するパターンである。20はTFT18-2のソース(またはドレイン)パターンである。22'-1、22'-2は飽動領域を形成する非品質半導体パターン、また23'-1、23'-2は交差部に設けた非品質半導体パターンである。

第3図(c)は1つのゲート入力が増加する複数個( $n \geq 2$ 、ここでは $n=2$ の場合を示した)のTFTにわたって入る場合を示している。19-1、19-2は各々TFT18-1、18-2のドレイン(またはソース)パターン、20-1、

20-2は各々TFT18-1、18-2のソース(またはドレイン)パターン、21'は2個のTFT18-1、18-2にまたがって入る配線領域を含めたゲートパターン、また、23'-1、23'-2および23'-3はゲートパターンとドレイン(またはソース)パターンの交差部に設けた非品質半導体パターンである。

第4図は寄生容量の増加等を伴うことなくgmの拡大を図るTFTの平面構成を示している。25はドレイン26、ソース27、ゲートパターン28から構成されるTFTパターン、また、29は飽動層を形成する非品質半導体パターンである。この様なパターン構成とすることによりソースパターン27の両側にチャンネルを形成することができるため、ソースパターンの面積を従来と同様の大きさに保ち乍ら、チャンネル幅Wを従来(w)の2倍 $W=2 \times w$ に向上させることができる、すなわち、gmを2倍に向上することができる。ここでドレイン(またはソースと称してもよい)を所定の電圧(例えば電源電圧、アース電

## 特開平2-50131 (5)

圧など) が加わる端子, ソースをこれから電圧の供給を受ける端子 (すなわちTFT25がオフ状態にある時はフローティング状態におかれる端子) に設定するようにする。種々の回路を構成する場合にこの様な設定を行うことによりソース (またはドレインと称してもよい) 端子に電圧が現われる時間 (以下、立上り時間と称する)、或はソース端子に保持されていた電圧が放電するに要する時間 (以下、立下り時間と称する) を速くすることが可能になる。本実施例においては、ソース27に寄生する容量は従来と同様のC、ドレイン27に寄生する容量はWを大きくした分だけ増加し、ここではチャンネルにあずからないドレイン配線領域26-1も含めると $2 \times C \sim 3 \times C$ となる。しかし、ドレイン部は所定の電圧 (直流でも交流でもよい) が加わっており電圧が固定された状態にあるので寄生容量が増加しても回路のスウィッチング速度に与える影響は殆んどない。一方、ソース27の立上り、立下り時間は、容量が従来と同様に保たれ、かつTFTの $g_m$ が2倍に向上

しているため、立上り (或は立下り) 時間は従来に比べて $1/2$ に減少する (すなわち回路のスウィッチング速度を2倍に向上することができる)。

第4図 (b) はゲートパターン、非晶質半導体パターンを拡張して、領域30もTFTのチャンネルとして利用するようにしたTFTの平面構成を示している。ここで、領域30の形成するチャンネル幅 (図面では $\Delta w$ で表わした) を $w$ となる様に設計すると ( $\Delta w = w$ )、ソースパターンの寄生容量は従来と同じ値に保ち乍ら、TFTのチャンネル幅 $W$ を従来の3倍 ( $W = 3 \times w$ ) に向上することができる。したがって、TFTを本構成の様なパターンとし、ドレイン26に所定の電圧を、TFTがオフ状態においてはソース27をフローティング状態におくように設定することにより、回路のスウィッチング速度を3倍に向上することができる。また、第4図 (c) はゲートパターンを同図 (b) に示したようにソースパターン27全体にわたって設けるのではなく、28' に示すように必要な領域に設けるようにした実施例

である。

液晶表示パネルを構成するTFTは単体のTFTを二次元状に配列したアレーであり論理回路のように前段出力を次段へ入力する、或は一方TFTのドレインを別のTFTのソースにつなぐという電気的接続の概念は、今までの段階では必要なかった。しかし乍ら、TFTで論理回路と駆動回路等を構成しようとする場合には、TFT間の接続が大切な課題となる。複数のTFTを接続する場合、その種類は、(1) ドレイン同士 (またはソース同士) の接続、(2) ドレインとソース (またはソースとドレイン) の接続、(3) ドレイン (またはソース) とゲートの接続の3つに大別することができる。この3つのうち、(1) と (2) は一般に同一工程同志 (或は同一材料同志) の接続であり、従来のTFTマトリックスと同じ様に単に配線間の接続を行えばよい。一方、(3) の様な場合の接続は、一般に工程 (或は材料) が異なるので接続に適した手段を考えることが必要となる。

第5図は接続方法に関する実施例を示したもの

である。第5図 (a) において、31はドレイン (またはソース) 等と同一工程で作られた配線パターン (例えばAl, Crなど)、32はゲートと同一工程で作られた配線パターン、また33は前記2つの配線を接続するコンタクト孔パターンである。第5図 (b), (c) は同図 (a) に示したパターンを $y-y'$ 面で切った断面構造を示している。同図 (b) はドレイン (またはソース) 31' をより前の工程 (下層) で作り、ゲート32' をより後の工程 (上層) で作る場合を示している。33' は両配線を電気的に絶縁するための絶縁層34 (例えばSiNx, SiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, Al<sub>2</sub>O<sub>3</sub>など) の一部に穿孔したコンタクト用の穴を示しており、ゲート32' はこのコンタクト穴33' を介しドレイン31' に電気的に接続される。一方、同図 (c) はドレインとゲートの製作を同図 (b) の場合と逆にした場合を示している。同図 (d) は同図 (a) に示したドレインおよびゲートのパターン領域の寸法を同図 (a) の場合と逆にした場合を示している。図 (a), (d)

## 特開平2-50131 (6)

いずれの場合においても配線間の層間短絡を防止する或は信頼性の向上を図るためコンタクト孔パターン33(または33')は配線31(31'), 32(32')より寸法を小さくすることが望ましい。すなわち、コンタクト穴の上部および下部を配線31(31'), 或は32(32')で所定のゆとり寸法をもつて覆うことが望ましい。このゆとり寸法はTFT回路を製作するプロセス技術にも依存するが、現在の技術では数 $\mu\text{m}$ 、将来、微細加工技術が開発された場合には0.5~1 $\mu\text{m}$ 程度が必要になる。

論理回路をはじめとする種々の回路においては、ゲートとドレインを接続する飽和型接続を使用する場合がある。第6図に飽和接続型TFTの平面構成を示す。第6図(a)はドレイン35とゲート37を接続した飽和接続型TFTの回路構成を示している。また36はソース、38はドレインとゲートの接続点を示している。第6図(b)は同図(a)に示したTFT回路の平面パターンの一例を示している。35'は配線領域を含んだド

レインパターン、36'は配線領域を含んだソースパターン、39は能動層を形成する非晶質半導体パターン、37'はゲートパターンであり、ドレイン領域の一部でコンタクト穴38を介してドレインパターンと電気的に接続されている。

第8図は移動の小さいTFTの $g_m$ を向上しスイッチング速度を上げるため、ゲート・ソース間にゲート・ソース結合用の容量を設けた実施例を示している。第8図(a)は結合用容量 $C_c$ をゲート42とソース41に設けたTFTの回路構成を示している。第8図(b)は同図(a)に示したTFT回路の平面パターンの一例を示している。40'は配線領域を含んだドレインパターン、41'は配線領域を含んだソースパターン、42'は容量 $C_c$ を形成するためゲート領域42'のみならずソース領域41'まで拡張したゲートパターン、43は第1図の実施例の場合と同じ様に能動層を形成する非晶質半導体パターンをゲートとソース領域が重なり合うソース領域まで拡張したパターンである。本実施例においてはパターン

42'の領域がパターン41'の領域より大きい例を示したがパターン42'をパターン41'より小さくするようにしても支障はない。本発明の様な結合容量 $C_c$ を設けることによりゲート端子(42)の電圧を

$$\Delta V = \frac{V_s \cdot C_c}{C_c + C_g} \quad \dots (1)$$

だけ上昇させることが可能になる。上式において、 $C_g$ はゲート42に寄生する容量、 $V_s$ はドレイン40に供給した電圧によりソース41に得られる電圧であり、例えば $V_s$ をTFT液晶表示装置で一般的な値である10~20V、 $C_c$ を $C_g$ の5倍に設計するとゲート電圧を8~16Vも高めることができる。これはTFT回路に外部より10~20Vの電圧を供給すると回路内部では供給電圧の約2倍に相当する18~36Vのゲート電圧が得られることに相当し、TFTの $g_m$ を約2倍に高めることが可能になる。

〔発明の効果〕

本発明によれば、TFT回路のレイアウト占有

面積を低減することにより寄生容量および配線抵抗を減らすことができる。TFTのレイアウト形状と印加電圧の組合せを最適化することにより $g_m$ の拡大および寄生容量の低減を図ることができる。したがって、これまで問題とされてきたTFT電子回路の応答速度および集積度を改善することができる。これは、将来、TFT電子回路の高速化、或は、製作歩留りの向上を図る場合に非常に優れた手段となり、本発明のもたらす実用価値は極めて大きい。

## 4. 図面の簡単な説明

第1図は本発明のTFT回路の平面構成を示す図、第2図は従来のTFT回路の構成を示す図、第3図、第4図、第5図、第6図および第8図は本発明の第1図の実施例とは異なる素子構成の実施例を示す図、第7図は従来のTFT回路の平面構成を示す図である。

19...ドレイン(またはソース)パターン、20...ソース(またはドレイン)パターン、21...ゲートおよび入力配線パターン、22...能動層形成



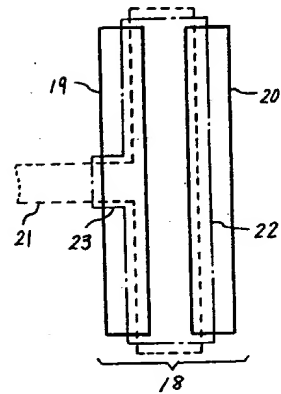
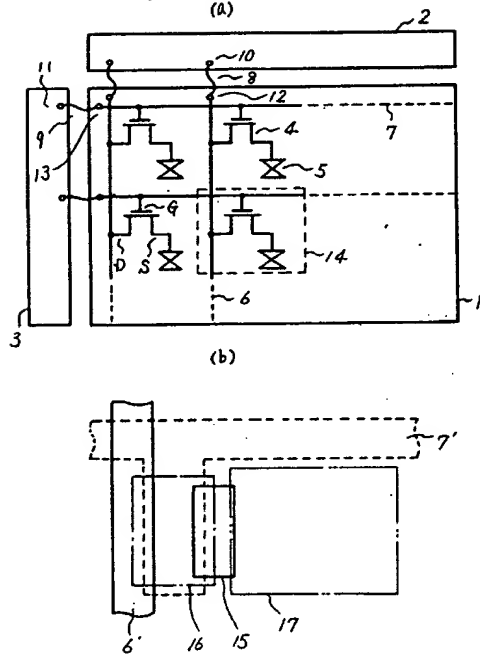
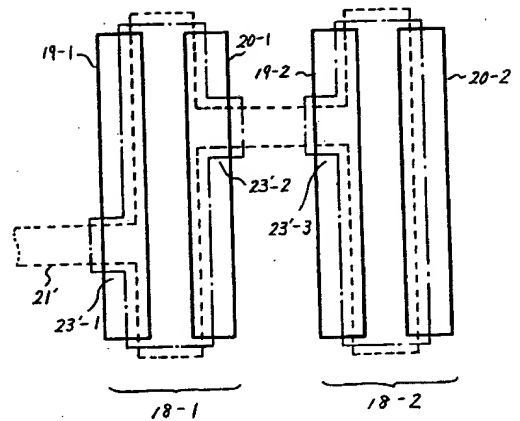
## 特開平2-50131 (7)

用非晶質半導体パターン、23…交差部形成用非  
晶質半導体パターン、25… $\alpha$ mを拡大したTFT  
パターン、33…コンタクト穴パターン、Ce…  
ゲート・ソース結合容量。

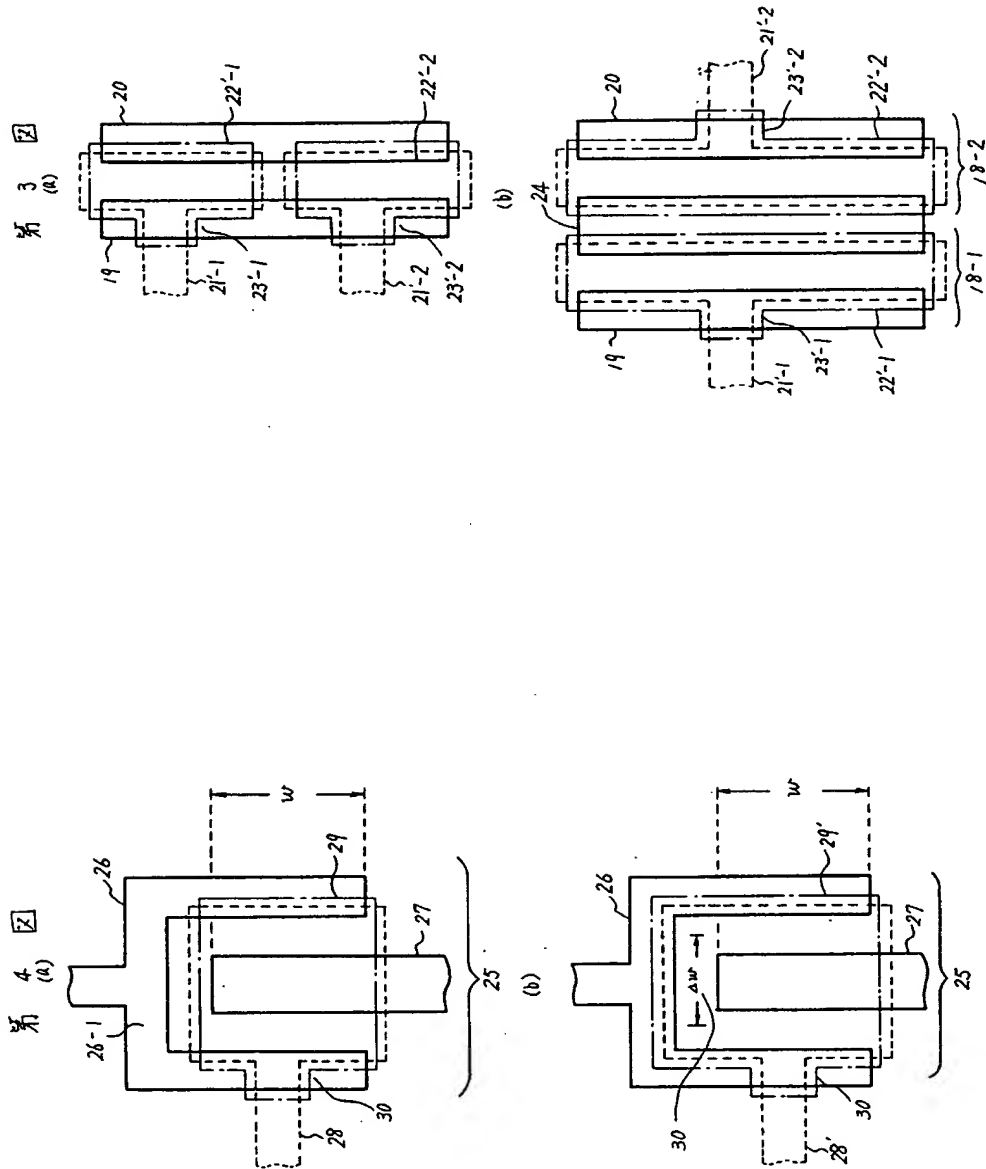
代理人 弁理士 小川勝男



第1図

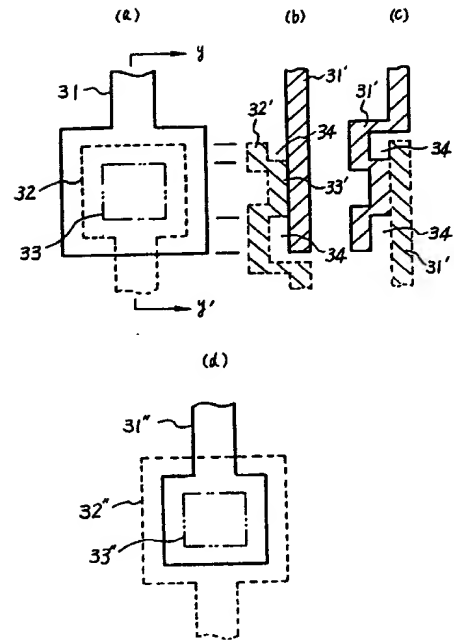
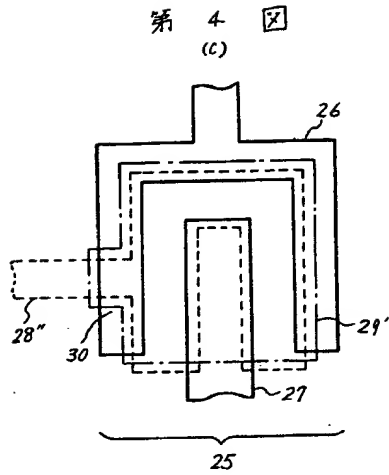
第2図  
(A)第3図  
(C)

特開平2-50131 (8)

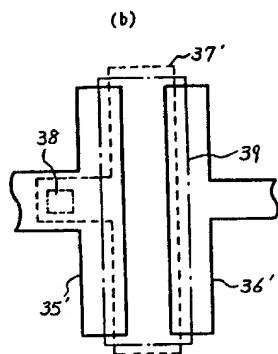
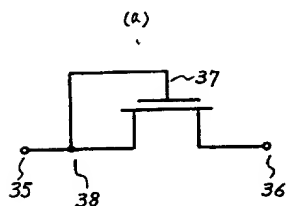


## 特開平2-50131 (9)

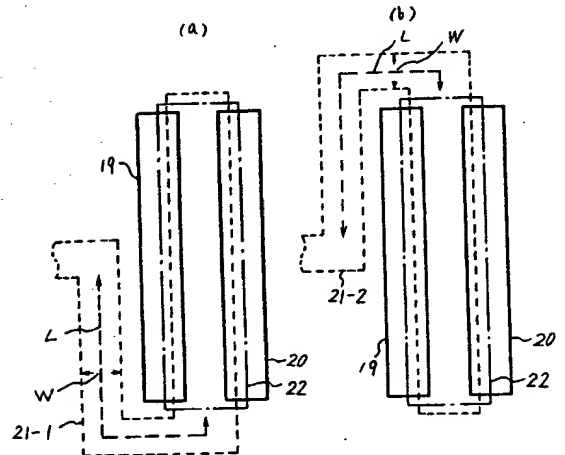
第 5 図



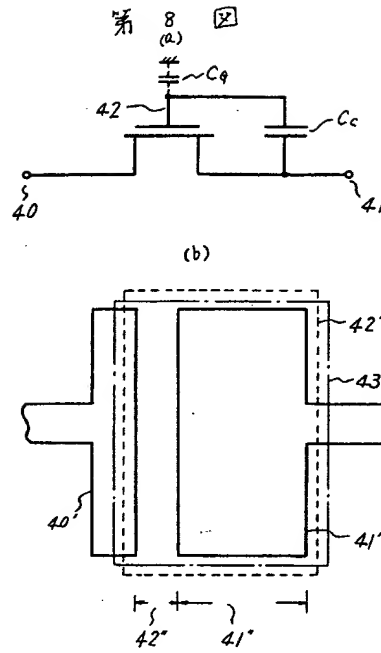
第 6 図



第 7 図



特開平2-50131 (10)



第 1 頁の続き

⑤Int. Cl.<sup>5</sup>

H 01 L 29/784

識別記号

庁内整理番号

⑦発明者	田 中	靖 夫	東京都国分寺市東恋ヶ窪 1 丁目 280 番地	株式会社日立製作所中央研究所内
⑦発明者	松 丸	治 男	東京都国分寺市東恋ヶ窪 1 丁目 280 番地	株式会社日立製作所中央研究所内
⑦発明者	塚 田	俊 久	東京都国分寺市東恋ヶ窪 1 丁目 280 番地	株式会社日立製作所中央研究所内